

Docket No.: 57810-090

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Makoto IZUMI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 15, 2004	:	Examiner:
	:	
For: SOLID STATE IMAGE DEVICE AND METHOD OF FABRICATING THE SAME	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

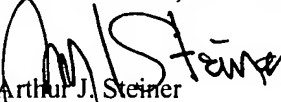
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2003-080662, filed on March 24, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:gav
Facsimile: (202) 756-8087
Date: March 15, 2004

McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

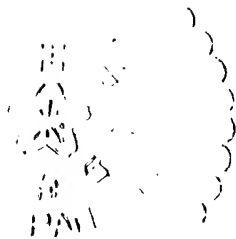
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 0 6 6 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 8 0 6 6 2]

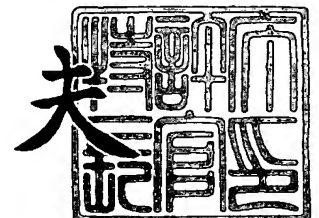
出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):



2 0 0 4 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 NPC1030006

【提出日】 平成15年 3月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 泉 誠

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 沖川 満

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 笹田 一弘

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100104433

 【弁理士】

 【氏名又は名称】 宮園 博一

【手数料の表示】

 【予納台帳番号】 073613

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 電荷結合素子およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成され、実質的に平坦な上面を有する第 1 ゲート電極と、

前記ゲート絶縁膜上に、リソグラフィの限界最小寸法よりも小さい厚みを有する絶縁膜を介して、前記第 1 ゲート電極とオーバーラップしないで前記第 1 ゲート電極に隣接するように形成された第 2 ゲート電極とを備えた、電荷結合素子。

【請求項 2】 前記絶縁膜は、熱酸化膜を含む、請求項 1 に記載の電荷結合素子。

【請求項 3】 前記ゲート絶縁膜は、少なくとも一部に酸化抑制機能を有する絶縁膜を含む、請求項 1 または 2 に記載の電荷結合素子。

【請求項 4】 半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、所定の間隔を隔てて複数の実質的に平坦な上面を有する第 1 ゲート電極を形成する工程と、
前記第 1 ゲート電極の側面に絶縁膜を形成する工程と、
前記第 1 ゲート電極間に位置する領域を埋め込むように、第 2 ゲート電極層を堆積した後、前記第 2 ゲート電極層の余分な堆積部分を研磨により除去することによって、前記絶縁膜を介して、前記第 1 ゲート電極とオーバーラップしないで前記第 1 ゲート電極に隣接する第 2 ゲート電極を形成する工程とを備えた、電荷結合素子の製造方法。

【請求項 5】 前記第 2 ゲート電極を形成する工程に先立って、前記第 1 ゲート電極上に研磨ストッパ膜を形成する工程をさらに備え、

前記第 2 ゲート電極を形成する工程は、
前記研磨ストッパ膜をストッパとして、前記第 2 ゲート電極層の余分な堆積部分を研磨することによって、前記絶縁膜を介して前記第 1 ゲート電極とオーバーラップしないで前記第 1 ゲート電極に隣接する第 2 ゲート電極を形成する工程を含む、請求項 4 に記載の電荷結合素子の製造方法。



【請求項 6】 前記第 1 ゲート電極の側面に絶縁膜を形成する工程は、
前記第 1 ゲート電極の側面を熱酸化することにより、前記第 1 ゲート電極の側面に熱酸化膜を形成する工程を含む、請求項 4 または 5 に記載の電荷結合素子の製造方法。

【請求項 7】 前記ゲート絶縁膜を形成する工程は、
少なくとも一部に酸化抑制機能を有する絶縁膜を含むゲート絶縁膜を形成する工程を含む、請求項 6 に記載の電荷結合素子の製造方法。

【請求項 8】 前記第 2 ゲート電極を形成する工程に先立って、少なくとも前記第 1 ゲート電極をマスクとして、不純物をイオン注入することによって、前記第 2 ゲート電極が形成される領域の下方の前記半導体基板に自己整合的に不純物領域を形成する工程をさらに備える、請求項 4～7 のいずれか 1 項に記載の電荷結合素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電荷結合素子 (CCD: Charge Coupled Device) およびその製造方法に関し、特に、複数のゲート電極が所定の間隔を隔てて配置される電荷結合素子およびその製造方法に関する。

【0002】

【従来の技術】

従来、イメージセンサなどに用いられる電荷結合素子 (CCD) が知られている。この電荷結合素子には、単層のゲート電極構造を有する電荷結合素子と、2 層のゲート電極構造を有する電荷結合素子 (たとえば、特許文献 1) とが知られている。単層のゲート電極構造を有する電荷結合素子では、通常、リソグラフィ技術を用いてゲート電極となる膜をパターンニングすることによって、ゲート電極構造を形成する。このため、ゲート電極間の間隔を、リソグラフィ技術の限界最小寸法よりも小さくするのが困難であるという不都合がある。

【0003】

その一方、電荷結合素子においては、隣接するゲート電極の間隔を小さくする

ことにより、電荷の転送効率を向上させることができる。また、隣接するゲート電極の間隔を小さくすることにより、その分、ゲート電極の面積を大きくすることができるので、電子を蓄積する領域の面積を大きくすることができる。これにより、飽和電荷量が増加するので、ノイズの小さい信号を得ることができる。従来の一般的な単層のゲート電極構造を有する電荷結合素子では、上記のように、ゲート電極間の間隔をリソグラフィの限界最小寸法よりも小さくすることが困難であるため、電荷の転送効率をより向上させるとともに、ノイズの小さい信号を得るのは困難であった。

【0004】

これに対して、従来の2層の電極構造を有する電荷結合素子では、一方のゲート電極と他方のゲート電極とを絶縁膜を介してオーバーラップさせる構造を有している。このため、第1電極層と第2電極層との間に位置する絶縁膜の厚みをリソグラフィの限界最小寸法よりも小さくすれば、ゲート電極間の間隔をリソグラフィの限界最小寸法よりも小さくすることが可能である。

【0005】

図11は、従来の2層のゲート電極構造を有する電荷結合素子の構造を示した断面図である。図11を参照して、従来の2層のゲート電極構造を有する素子では、半導体基板101上に、ゲート絶縁膜102が形成されている。ゲート絶縁膜102上には、所定の間隔を隔てて第1ゲート電極103が形成されている。第1ゲート電極103の表面および側面を覆うように、絶縁膜104が形成されている。また、第1ゲート電極103間に位置するゲート絶縁膜102上には、第2ゲート電極105が形成されている。この第2ゲート電極105の両端部は、絶縁膜104を介して第1ゲート電極103上にオーバーラップするように形成されている。

【0006】

図11に示したような2層のゲート電極構造を有する従来の電荷結合素子（CCD）では、絶縁膜104をリソグラフィの限界最小寸法よりも小さい厚みで形成することによって、第1ゲート電極103と第2ゲート電極105との間隔を、リソグラフィの限界最小寸法よりも小さい間隔にすることができる。これによ

り、電荷の転送効率を向上させることは可能である。また、第1ゲート電極103と第2ゲート電極105との間隔を、リソグラフィの限界最小寸法よりも小さい間隔にすることができるので、その分、第1ゲート電極103および第2ゲート電極105の面積を大きくすることができる。これにより、電子を蓄積する領域の面積がその分大きくなるので、飽和電荷量が増加し、その結果、ノイズの小さい信号を得ることも可能である。

【0007】

【特許文献1】

特開平11-204776号公報

【発明が解決しようとする課題】

しかしながら、図11に示した従来の2層のゲート電極構造を有する電荷結合素子(CCD)では、第2ゲート電極105が厚みの小さい絶縁膜104を介して第1ゲート電極103に対してオーバーラップする構造を有するため、第1ゲート電極103と第2ゲート電極105との間の寄生容量が大きくなるという不都合がある。このため、第1ゲート電極103および第2ゲート電極105に所定の電圧を印加することにより駆動する際に、大きな寄生容量のために、所定の電圧に上がるまでの電荷量(電流)が多くなる。これにより、所定の電気抵抗を有する第1ゲート電極103および第2ゲート電極105を流れる電流が多くなるので、その分、消費電力も増加するという問題点があった。

【0008】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、隣接するゲート電極間の間隔を小さくすることにより電荷の転送効率を向上させるとともに、ノイズの小さい信号を得ながら、寄生容量を低減することにより消費電力を低減することが可能な電荷結合素子を提供することである。

【0009】

この発明のもう1つの目的は、隣接するゲート電極間の間隔を小さくすることにより電荷の転送効率を向上させるとともに、ノイズの小さい信号を得ながら、寄生容量を低減することにより消費電力を低減することが可能な電荷結合素子を

容易に製造することが可能な電荷転送素子の製造方法を提供することである。

【0010】

【課題を解決するための手段および発明の効果】

この発明の第1の局面による電荷結合素子は、半導体基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成され、実質的に平坦な上面を有する第1ゲート電極と、ゲート絶縁膜上に、リソグラフィの限界最小寸法よりも小さい厚みを有する絶縁膜を介して、第1ゲート電極とオーバーラップしないで第1ゲート電極に隣接するように形成された第2ゲート電極とを備えている。

【0011】

この第1の局面による電荷結合素子では、上記のように、リソグラフィの限界最小寸法よりも小さい厚みを有する絶縁膜を介して第1ゲート電極に隣接するように第2ゲート電極を設けることによって、隣接する第1ゲート電極と第2ゲート電極との間隔をリソグラフィの限界最小寸法よりも小さい間隔にすることができるので、電荷の転送効率を向上させることができる。また、隣接するゲート電極の間隔をリソグラフィの限界最小寸法よりも小さくすることにより、その分、ゲート電極の面積を大きくすることができるので、電子を蓄積する領域の面積を大きくすることができる。これにより、飽和電荷量が増加するので、ノイズの小さい信号を得ることができる。また、第1ゲート電極とオーバーラップしないで第1ゲート電極に隣接するように第2ゲート電極を設けることによって、第1ゲート電極と第2ゲート電極との間の寄生容量が大きくなるのを抑制することができる。これにより、第1ゲート電極および第2ゲート電極に所定の電圧を印加することにより駆動する際に、大きな寄生容量に起因して所定の電圧に上がるまでの電荷量（電流）が多くなるのを抑制することができる。その結果、所定の電気抵抗を有する第1ゲート電極および第2ゲート電極を流れる電流を低減することができるので、その分、消費電力を低減することができる。このように、第1の局面では、電荷の転送効率を向上させるとともに、ノイズの小さい信号を得ながら、消費電力を低減することが可能な電荷結合素子を得ることができる。

【0012】

上記第1の局面による電荷結合素子において、好ましくは、絶縁膜は、熱酸化

膜を含む。このように構成すれば、熱酸化膜の厚みをリソグラフィの限界最小寸法よりも小さい厚みにすることにより、容易に、隣接する第1ゲート電極と第2ゲート電極との間隔をリソグラフィの限界最小寸法よりも小さい間隔にすることができる。

【0013】

上記第1の局面による電荷結合素子において、好ましくは、ゲート絶縁膜は、少なくとも一部に酸化抑制機能を有する絶縁膜を含む。このように構成すれば、第1ゲート電極の側面に熱酸化膜を形成する際の熱酸化時に、酸化抑制機能を有する絶縁膜を設けない場合に比べて、半導体基板が酸化されるのを抑制することができる。

【0014】

この発明の第2の局面による電荷結合素子の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に、所定の間隔を隔てて複数の実質的に平坦な上面を有する第1ゲート電極を形成する工程と、第1ゲート電極の側面に絶縁膜を形成する工程と、第1ゲート電極間に位置する領域を埋め込むように、第2ゲート電極層を堆積した後、第2ゲート電極層の余分な堆積部分を研磨により除去することによって、絶縁膜を介して、第1ゲート電極とオーバラップしないで第1ゲート電極に隣接する第2ゲート電極を形成する工程とを備えている。

【0015】

この第2の局面による電荷結合素子の製造方法では、上記のように、第1ゲート電極の側面に絶縁膜を形成した後、第1ゲート電極間に位置する領域を埋め込むように、第2ゲート電極層を堆積して第2ゲート電極層の余分な堆積部分を研磨により除去することにより、絶縁膜を介して第1ゲート電極に隣接する第2ゲート電極を形成することによって、上記絶縁膜をリソグラフィの限界最小寸法よりも小さい厚みを有するように形成すれば、隣接する第1ゲート電極と第2ゲート電極との間隔をリソグラフィの限界最小寸法よりも小さい間隔にすることができるので、電荷の転送効率を向上させることができる。また、隣接するゲート電極の間隔をリソグラフィの限界最小寸法よりも小さくすることにより、その分、

ゲート電極の面積を大きくすることができるので、電子を蓄積する領域の面積を大きくすることができる。これにより、飽和電荷量が増加するので、ノイズの小さい信号を得ることができる。また、第1ゲート電極とオーバーラップしないで第1ゲート電極に隣接するように第2ゲート電極を形成することによって、第1ゲート電極と第2ゲート電極との間の寄生容量が大きくなるのを抑制することができる。これにより、第1ゲート電極および第2ゲート電極に所定の電圧を印加することにより駆動する際に、大きな寄生容量に起因して所定の電圧に上がるまでの電荷量（電流）が多くなるのを抑制することができる。その結果、所定の電気抵抗を有する第1ゲート電極および第2ゲート電極を流れる電流を低減することができるので、その分、消費電力を低減することができる。このように、第2の局面では、電荷の転送効率を向上させるとともに、ノイズの小さい信号を得ながら、消費電力を低減することが可能な電荷結合素子を容易に製造することができる。

【0016】

上記第2の局面による電荷結合素子の製造方法において、好ましくは、第2ゲート電極を形成する工程に先立って、第1ゲート電極上に研磨ストッパ膜を形成する工程をさらに備え、第2ゲート電極を形成する工程は、研磨ストッパ膜をストッパとして、第2ゲート電極層の余分な堆積部分を研磨することによって、絶縁膜を介して第1ゲート電極とオーバーラップしないで第1ゲート電極に隣接する第2ゲート電極を形成する工程を含む。このように構成すれば、容易に、第1ゲート電極とオーバーラップしないで第1ゲート電極に隣接する第2ゲート電極を形成することができる。

【0017】

上記第2の局面による電荷結合素子の製造方法において、好ましくは、第1ゲート電極の側面に絶縁膜を形成する工程は、第1ゲート電極の側面を熱酸化することにより、第1ゲート電極の側面に熱酸化膜を形成する工程を含む。このように構成すれば、熱酸化膜をリソグラフィの限界最小寸法よりも小さい厚みを有するように形成することにより、容易に、隣接する第1ゲート電極と第2ゲート電極との間隔をリソグラフィの限界最小寸法よりも小さい間隔にすることができる。

。

【0018】

この場合、好ましくは、ゲート絶縁膜を形成する工程は、少なくとも一部に酸化抑制機能を有する絶縁膜を含むゲート絶縁膜を形成する工程を含む。このように構成すれば、第1ゲート電極の側面に熱酸化膜を形成する際の熱酸化時に、酸化抑制機能を有する絶縁膜を設けない場合に比べて、半導体基板が酸化されるのを抑制することができる。

【0019】

上記第2の局面による電荷結合素子の製造方法において、好ましくは、第2ゲート電極を形成する工程に先立って、少なくとも第1ゲート電極をマスクとして、不純物をイオン注入することによって、第2ゲート電極が形成される領域の下方の半導体基板に自己整合的に不純物領域を形成する工程をさらに備える。このように構成すれば、レジスト膜をマスクとして不純物領域を形成する場合と異なり、不純物領域の形成領域がばらつくのを防止することができる。これにより、不純物領域の形成領域がばらつくことに起因する電荷の転送効率の低下を防止することができるので、より良好な電荷の転送効率を有する電荷結合素子を容易に形成することができる。

【0020】**【発明の実施の形態】**

以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0021】

図1は、本発明の一実施形態による電荷結合素子（CCD）の構造を示した断面図である。本実施形態では、本発明を2相駆動の電荷結合素子に適用した場合について説明する。

【0022】

本実施形態による電荷結合素子では、図1に示すように、シリコン基板1上に、約10nm～約50nmの厚みを有するシリコン酸化膜（SiO₂膜）2aが形成されている。シリコン酸化膜2a上には、約30nm～約100nmの厚みを有するシリコン窒化膜（SiN膜）2bが形成されている。このシリコン酸化

膜 2 a とシリコン窒化膜 2 b とによって、ゲート絶縁膜 2 が構成されている。なお、シリコン基板 1 は、本発明の「半導体基板」の一例であり、シリコン窒化膜 2 b は、本発明の「酸化抑制機能を有する絶縁膜」の一例である。

【0023】

ここで、本実施形態では、ゲート絶縁膜 2 上に、第 1 ゲート電極 3 と第 2 ゲート電極 5 とが熱酸化膜 4 を介して隣接するように形成されている。また、第 2 ゲート電極 5 は、第 1 ゲート電極 3 とオーバーラップしないで第 1 ゲート電極 3 に隣接するように設けられている。第 1 ゲート電極 3 は、約 40 nm ～ 約 80 nm の厚みを有するポリシリコン膜からなるとともに、実質的に平坦な上面を有する。また、第 2 ゲート電極 5 は、第 1 ゲート電極 3 と実質的に同じ厚みを有するポリシリコン膜からなるとともに、実質的に平坦な上面を有する。また、熱酸化膜 4 は、ポリシリコン膜からなる第 1 ゲート電極 3 の側面を熱酸化することにより形成されるとともに、リソグラフィの限界最小寸法よりも小さい厚み（約 20 nm ～ 約 100 nm）を有する。なお、熱酸化膜 4 は、本発明の「絶縁膜」の一例である。

【0024】

また、本実施形態では、第 2 ゲート電極 5 の下方に位置するシリコン基板 1 の表面に、不純物領域 6 が形成されている。

【0025】

なお、全面を覆うようにシリコン酸化膜からなる層間絶縁膜（図示せず）が形成されているとともに、その層間絶縁膜には第 1 ゲート電極 3 および第 2 ゲート電極 5 に達するコンタクトホール（図示せず）が形成されている。そして、そのコンタクトホールを介して、第 1 ゲート電極 3 および第 2 ゲート電極 5 と、上層配線（図示せず）とが接続されている。

【0026】

また、本実施形態による電荷結合素子（CCD）では、2 相の異なる電圧（ ϕ_1 、 ϕ_2 ）を第 1 ゲート電極 3 および第 2 ゲート電極 5 を 1 組としてそれぞれ 2 組に印加することによって、電荷の転送を行う。

【0027】

本実施形態では、上記のように、リソグラフィの限界最小寸法よりも小さい厚みを有する熱酸化膜 4 を介して、第 1 ゲート電極 3 に隣接するように第 2 ゲート電極 5 を設けることによって、隣接する第 1 ゲート電極 3 と第 2 ゲート電極 5 との間隔をリソグラフィの限界最小寸法よりも小さい間隔にすることができるので、電荷の転送効率を向上させることができる。また、隣接する第 1 ゲート電極 3 と第 2 ゲート電極 5 との間隔をリソグラフィの限界最小寸法よりも小さい間隔にすることができるので、その分、第 1 ゲート電極 3 および第 2 ゲート電極 5 の面積を大きくすることができる。これにより、電子を蓄積する領域の面積が大きくなるので、飽和電荷量が増加し、その結果、ノイズの小さい信号を得ることができる。

【0028】

また、本実施形態では、上記のように、第 1 ゲート電極 3 とオーバーラップしないで第 1 ゲート電極 3 に隣接するように第 2 ゲート電極 5 を設けることによって、第 1 ゲート電極 3 と第 2 ゲート電極 5 との間の寄生容量が大きくなるのを抑制することができる。これにより、第 1 ゲート電極 3 および第 2 ゲート電極 5 に所定の電圧を印加することにより駆動する際に、大きな寄生容量に起因して所定の電圧に上がるまでの電荷量（電流）が多くなるのを抑制することができる。その結果、所定の電気抵抗を有する第 1 ゲート電極 3 および第 2 ゲート電極 5 を流れる電流を低減することができるので、その分、消費電力を低減することができる。

【0029】

また、本実施形態では、ゲート絶縁膜 2 の上部に酸化抑制機能を有するシリコン窒化膜 2b を配置することによって、後述する製造プロセスにおいて、第 1 ゲート電極 3 の側面に熱酸化膜 4 を形成する際の熱酸化時に、ゲート絶縁膜 2 下のシリコン基板 1 が酸化されるのを抑制することができる。

【0030】

図 2～図 7 は、図 1 に示した一実施形態による電荷結合素子の製造プロセスを説明するための断面図である。次に、図 1～図 7 を参照して、本実施形態による電荷結合素子の製造プロセスについて説明する。

【0031】

まず、シリコン基板1を約850℃～約1050℃で熱処理することによって、シリコン基板1の表面に、約10nm～約50nmの厚みを有するシリコン酸化膜2aを形成する。次に、約600℃～約800℃の温度条件下で、減圧CVD (Low Pressure Chemical Vapor Deposition: LPCVD) 法を用いて、約30nm～約100nmの厚みを有するシリコン窒化膜2bを形成する。これにより、シリコン酸化膜2aとシリコン窒化膜2bとからなるゲート絶縁膜2が形成される。

【0032】

この後、CVD法を用いて約40nm～約80nmの厚みを有するポリシリコン膜3aを形成する。ポリシリコン膜3a上に、減圧CVD法を用いて、約5nm～約20nmの厚みを有するシリコン窒化膜7を形成する。このシリコン窒化膜7は、後述するCMP (Chemical Mechanical Polishing) 工程においてストップ膜として機能する。なお、このシリコン窒化膜7は、本発明の「研磨ストップ膜」の一例である。この後、シリコン窒化膜7上の所定領域に、レジスト膜8を形成する。

【0033】

そして、レジスト膜8をマスクとして、シリコン窒化膜7およびポリシリコン膜3aをエッチングすることによって、図3に示されるようなパターンニングされたポリシリコン膜からなる第1ゲート電極3およびシリコン窒化膜7が形成される。

【0034】

次に、図4に示すように、約750℃～約900℃の温度条件下で、O₂またはH₂O雰囲気中で熱酸化を行うことによって、第1ゲート電極3の側面に熱酸化膜4を形成する。この熱酸化膜4は、リソグラフィの限界最小寸法よりも小さい厚み（約20nm～約100nm）で形成する。この熱酸化膜4の形成時に、ゲート絶縁膜2の上層を構成するシリコン窒化膜2bにより、ゲート絶縁膜2下のシリコン基板1が酸化されるのを抑制することができる。

【0035】

次に、図 5 に示すように、第 1 ゲート電極 3、シリコン窒化膜 7 および熱酸化膜 4 をマスクとして、シリコン基板 1 の表面に不純物をイオン注入することによって、p 型または n 型の不純物領域 6 を形成する。この不純物領域 6 を形成することによって、不純物領域 6 のポテンシャルを、不純物領域 6 が形成されない第 1 ゲート電極 3 の下方の領域のポテンシャルと異ならせることができる。これにより、隣接する第 1 ゲート電極 3 および第 2 ゲート電極 5（図 1 参照）の下方の領域を互いにポテンシャルの異なる領域とすることができる。その結果、2 相の電圧 $\phi 1$ および $\phi 2$ により、電荷結合素子を駆動することができる。なお、イオン注入条件としては、ボロン（B）を、注入エネルギー：約 60 KeV～約 120 KeV、ドーズ量： $1 \times 10^{11} \text{ cm}^{-3}$ ～約 $1 \times 10^{12} \text{ cm}^{-3}$ の条件下で注入する。これにより、シリコン基板 1 の表面に、約 130 nm～約 270 nm の注入深さを有する不純物領域 6 が形成される。

【0036】

次に、CVD 法を用いて、全面を覆うように、約 40 nm～約 80 nm の厚みを有するポリシリコン膜 5a を形成する。なお、このポリシリコン膜 5a は、本発明の「第 2 ゲート電極層」の一例である。ここで、このポリシリコン膜 5a の不純物領域 6 の上方に位置する部分の厚み $t 2$ が、第 1 ゲート電極 3 の厚み $t 1$ と実質的に同じになるような厚みを有するようにポリシリコン膜 5a を堆積する。そして、ポリシリコン膜用のスラリーを用いて CMP 法により、ポリシリコン膜 5a の余分な堆積部分を研磨により除去する。この際、シリコン窒化膜 7 が、研磨ストップパとしての機能を有する。

【0037】

なお、ポリシリコン膜 5a の熱酸化膜 4 の近傍に位置する余分な堆積部分 5b も、ポリシリコン膜用のスラリーの作用により、平坦になるように研磨されるので、最終的に、図 7 に示すような、第 1 ゲート電極 3 と実質的に同じ厚みを有するとともに、平坦な上面を有するポリシリコン膜からなる第 2 ゲート電極 5 が形成される。また、第 1 ゲート電極 3 と第 2 ゲート電極 5 とは、リソグラフィの限界最小寸法よりも小さい厚み（約 20 nm～約 100 nm）を有する熱酸化膜 4 を介して、第 1 ゲート電極 3 とオーバーラップしないで隣接するように形成され

る。この後、第1ゲート電極3上に位置するシリコン窒化膜7をリン酸を用いたウェットエッチングにより除去することによって、図8に示した形状が得られる。

【0038】

上記のようにして、本実施形態による電荷結合素子が形成される。この後、全面に層間絶縁膜（図示せず）を形成した後、その層間絶縁膜に第1ゲート電極3および第2ゲート電極5に達するコンタクトホール（図示せず）を形成する。そして、第1ゲート電極3および第2ゲート電極5と、上層配線（図示せず）とをそのコンタクトホールを介して電氣的に接続する。

【0039】

本実施形態の製造プロセスでは、上記のように、第1ゲート電極3の側面にリソグラフィの限界最小寸法よりも小さい厚みを有する熱酸化膜4を形成した後、第1ゲート電極3間に位置する領域を埋め込むようにポリシリコン膜5aを堆積してポリシリコン膜5aの余分な堆積部分をCMP法を用いて除去することによって、第1ゲート電極3とオーバーラップしないで第1ゲート電極3に隣接する第2ゲート電極5を容易に形成することができる。これにより、第1ゲート電極と第2ゲート電極との間の寄生容量が大きくなるのを抑制することができるので、第1ゲート電極および第2ゲート電極に所定の電圧を印加することにより駆動する際に、大きな寄生容量に起因して所定の電圧に上がるまでの電荷量（電流）が多くなるのを抑制することができる。その結果、所定の電気抵抗を有する第1ゲート電極および第2ゲート電極を流れる電流を低減することができるので、その分、消費電力を低減することができる。また、隣接する第1ゲート電極3と第2ゲート電極5との間隔をリソグラフィの限界最小寸法よりも小さい間隔にすることができるので、転送効率が向上され、かつ、ノイズの小さい信号を得ることが可能な電荷結合素子を容易に形成することができる。

【0040】

このように、本実施形態の製造プロセスによれば、電荷の転送効率を向上させるとともに、ノイズの小さい信号を得ながら、消費電力を低減することが可能な電荷結合素子を容易に製造することができる。

【0041】

また、本実施形態による製造プロセスでは、上記のように、第1ゲート電極3、シリコン窒化膜7および熱酸化膜4をマスクとして不純物をイオン注入することによって、第2ゲート電極5が形成される領域の下方のシリコン基板1の表面に、自己整合的に不純物領域6を形成することができる。これにより、レジスト膜をマスクとして不純物領域6を形成する場合と異なり、不純物領域6の形成領域がばらつくのを防止することができる。その結果、不純物領域6の形成領域がばらつくことに起因する電荷の転送効率の低下を防止することができるので、より良好な電荷の転送効率を有する電荷結合素子を容易に形成することができる。

【0042】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0043】

たとえば、上記実施形態では2相駆動の電荷結合素子について説明したが、本発明はこれに限らず、3相駆動または4相駆動の電荷結合素子にも適用可能である。たとえば、図9に示す一実施形態の第1変形例のように、第1ゲート電極3、その第1ゲート電極3の右側に隣接する第2ゲート電極5、および、その第2ゲート電極5の右側に隣接する第1ゲート電極3に、それぞれ、3相の異なる電圧($\phi 1$ 、 $\phi 2$ 、 $\phi 3$)を印加するようにしてもよい。なお、3相駆動(4相駆動)を行う場合は、上記した実施形態と異なり、第2ゲート電極5の下方に不純物領域6(図1参照)を形成しないようにする。

【0044】

また、上記実施形態では、第1ゲート電極3の側面に熱酸化膜4を形成した後、第1ゲート電極3、シリコン窒化膜7および熱酸化膜4をマスクとしてイオン注入することにより不純物領域6を形成したが、本発明はこれに限らず、熱酸化膜4を形成する前に、図3に示した工程において、第1ゲート電極3およびレジスト膜8をマスクとしてイオン注入することにより不純物領域6を形成してもよ



い。また、図 10 に示す一実施形態の第 2 変形例のように、4 つに 1 つの割合で不純物領域 6 を形成するために、不純物領域 6 を形成しない領域を覆うように、レジスト膜 18 を形成する。そして、レジスト膜 8 および 18 をマスクとして、不純物をイオン注入することによって、4 つに 1 つの割合で不純物領域 6 を形成するようにしてもよい。

【図面の簡単な説明】

【図 1】

本発明の一実施形態による電荷結合素子を示した断面図である。

【図 2】

図 1 に示した一実施形態による電荷結合素子の製造プロセスを説明するための断面図である。

【図 3】

図 1 に示した一実施形態による電荷結合素子の製造プロセスを説明するための断面図である。

【図 4】

図 1 に示した一実施形態による電荷結合素子の製造プロセスを説明するための断面図である。

【図 5】

図 1 に示した一実施形態による電荷結合素子の製造プロセスを説明するための断面図である。

【図 6】

図 1 に示した一実施形態による電荷結合素子の製造プロセスを説明するための断面図である。

【図 7】

図 1 に示した一実施形態による電荷結合素子の製造プロセスを説明するための断面図である。

【図 8】

図 1 に示した一実施形態による電荷結合素子の製造プロセスを説明するための断面図である。

【図 9】

本発明の一実施形態の第 1 変形例による電荷結合素子を示した断面図である。

【図 1 0】

本発明の一実施形態の第 2 変形例による電荷結合素子を示した断面図である。

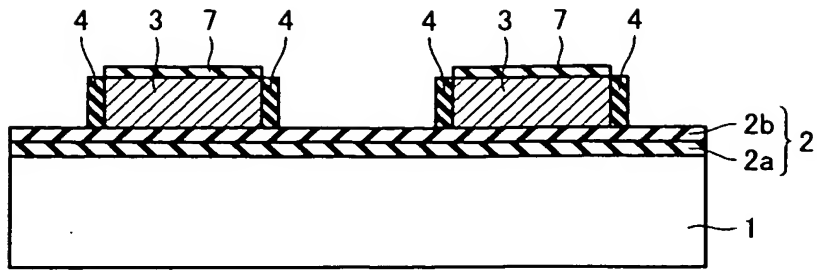
【図 1 1】

従来の 2 層のゲート電極構造を有する電荷結合素子を示した断面図である。

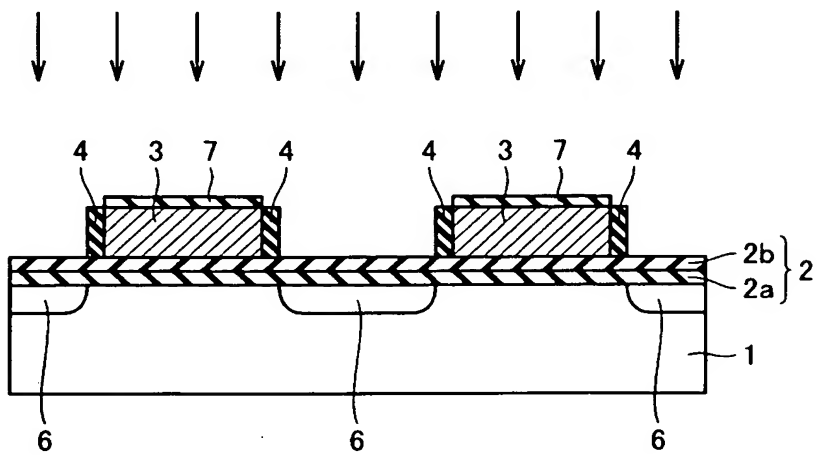
【符号の説明】

- 1 シリコン基板（半導体基板）
- 2 ゲート絶縁膜
- 2 a シリコン酸化膜
- 2 b シリコン窒化膜
- 3 第 1 ゲート電極
- 4 熱酸化膜（絶縁膜）
- 5 第 2 ゲート電極
- 5 a ポリシリコン膜（第 2 ゲート電極層）
- 6 不純物領域
- 7 シリコン窒化膜（研磨ストッパ膜）

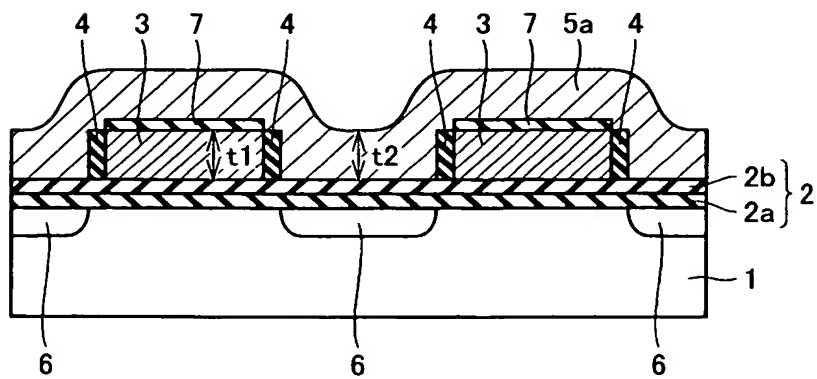
【図 4】



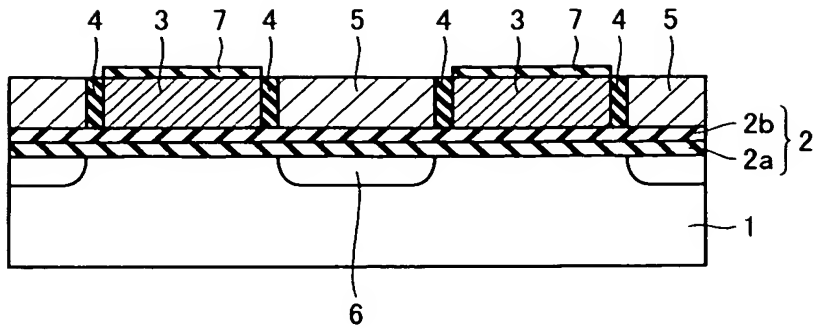
【図 5】



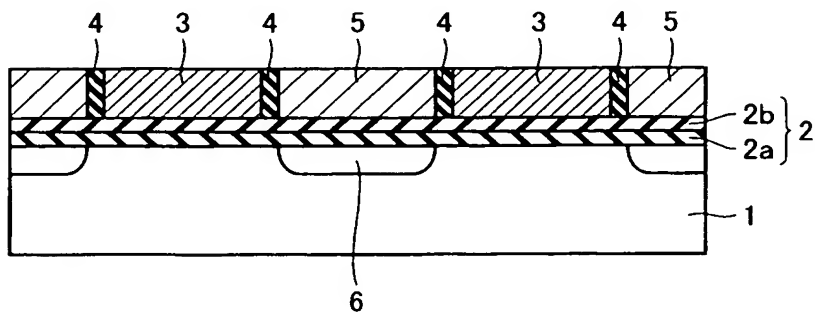
【図 6】



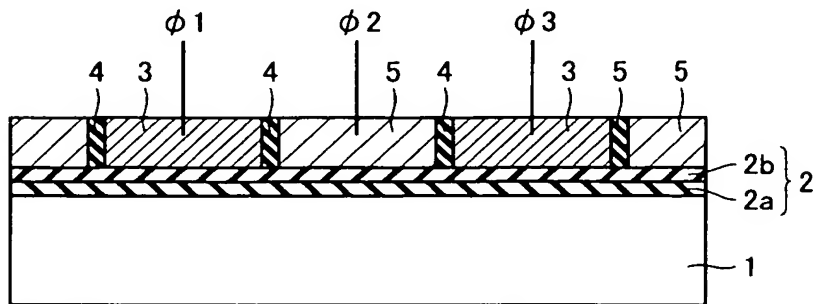
【図 7】



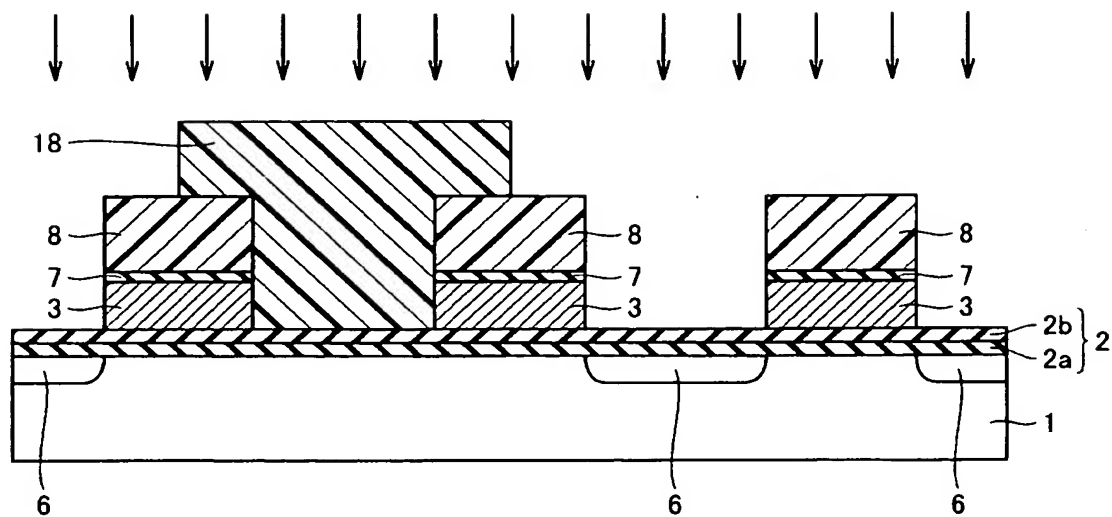
【図 8】



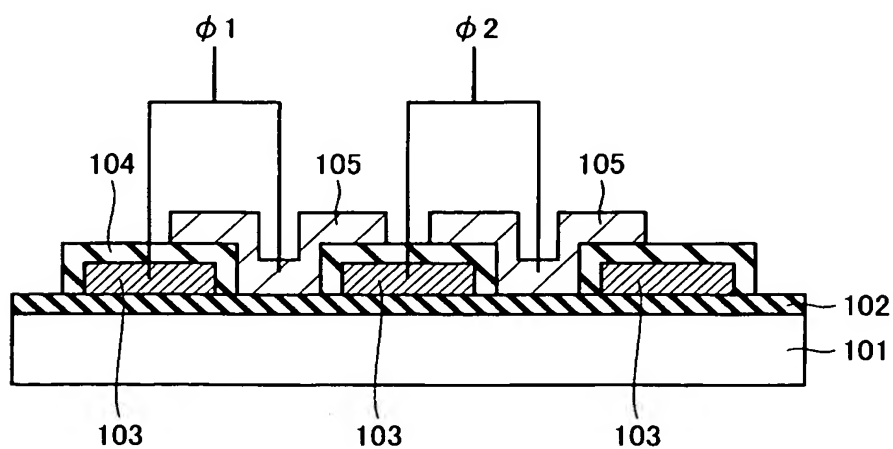
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 隣接するゲート電極間の間隔を小さくすることにより電荷の転送効率を向上させるとともに、ノイズの小さい信号を得ながら、寄生容量を低減することにより消費電力を低減することが可能な電荷結合素子を提供する。

【解決手段】 この電荷結合素子は、シリコン基板 1 上に形成されたゲート絶縁膜 2 と、ゲート絶縁膜 2 上に形成され、実質的に平坦な上面を有する第 1 ゲート電極 3 と、ゲート絶縁膜 2 上に、リソグラフィの限界最小寸法よりも小さい厚みを有する熱酸化膜 4 を介して、第 1 ゲート電極 3 とオーバーラップしないで第 1 ゲート電極 3 に隣接するように形成された第 2 ゲート電極 5 とを備えている。

【選択図】 図 1

特願 2003-080662

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住所

大阪府守口市京阪本通2丁目5番5号

氏名

三洋電機株式会社